

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-102177

(43) 公開日 平成5年(1993)4月23日

(51) IntCl<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/331

29/73

2S/165

7377-4M

7377-4M

H 0 1 L 29/ 72

審査請求 未請求 請求項の数 3 (全 7 頁)

(21) 出願番号

特願平3-282185

(22) 出願日

平成3年(1991)10月2日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 森 和孝

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

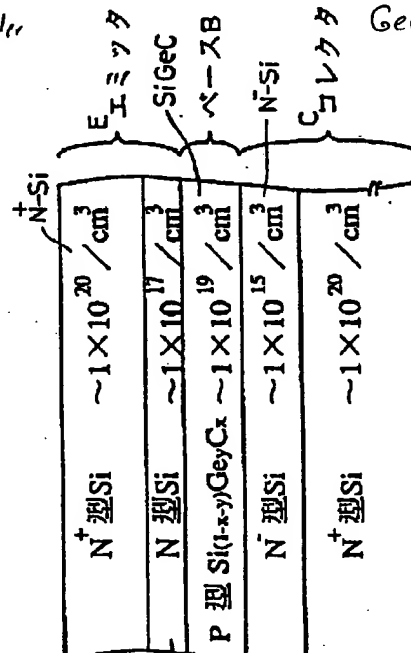
(74) 代理人 弁理士 玉村 静世

(54) 【発明の名称】 半導体集積回路装置及びこれを用いた電子計算機

(57) 【要約】 *Silizium-Germanium-Heterobipolartransistor mit Kohlenstoffdotierter Basis-schicht, wobei die Kohlenstoffkonzentration gleich der Germaniumkonzentration ist.*

【目的】 本発明の目的は、シリコン・ゲルマニウム・ヘテロ接合バイポーラトランジスタの熱的な安定性を向上させることである。

【構成】 シリコン・ゲルマニウム・ヘテロ接合バイポーラトランジスタのベース層Bにゲルマニウムと同程度の濃度で炭素またはボロンを含有させて、ベース部分Bの結晶格子定数を他のエミッタ部分Eとほぼ同じにしてベース部分の応力を除去するものである。シリコン・ゲルマニウム・ヘテロ接合バイポーラトランジスタを用いた半導体集積回路装置を液体窒素温度に冷却して動作させる形式の超高速電子計算機に適用し、その動作の高速性と高信頼性を高める。



## 【特許請求の範囲】

【請求項1】 単結晶シリコンを主体とするバイポーラトランジスタを含む半導体集積回路装置において、該バイポーラトランジスタのベース部分にゲルマニウムと炭素を含有し、該ベース部分のエネルギーバンドギャップがエミッタ部分より小さく、且つ該バイポーラトランジスタのベース部分の結晶格子定数がそのエミッタ部分と略等しいことを特徴とする半導体集積回路装置。

【請求項2】 単結晶シリコンを主体とするバイポーラトランジスタを含む半導体集積回路装置において、該バイポーラトランジスタのベース部分にゲルマニウムを含有すると共に、該バイポーラトランジスタのベース部分のゲルマニウムと略同濃度のボロンを含有し、該ベース部分のエネルギーバンドギャップがエミッタ部分より小さく、且つ該バイポーラトランジスタのベース部分の結晶格子定数がそのエミッタ部分と略等しいことを特徴とする半導体装置。

【請求項3】 半導体集積回路装置を略液体窒素温度に冷却して動作させる電子計算機において、請求項1又は2記載の半導体集積回路装置を含んで成るものであることを特徴とする電子計算機。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、ヘテロ接合バイポーラトランジスタを含む半導体集積回路装置に係り、例えば液体窒素で冷却されるような超高速電子計算機に適用して有効な半導体集積回路装置の構造に関する。

## 【0002】

【従来の技術】1988年 イー・エム・シー 「テクニカル プログラム ウィズ ダイジェスト」第12頁 (1988 EMC "Technical Program with Digest" p12) には、シリコンバイポーラトランジスタのベース部分にゲルマニウムを含有させることによって、ベース部分のエネルギーバンドギャップを縮小させて、該バイポーラトランジスタの電流増幅率 $h_{FE}$ を維持しつつ、ベース抵抗 $r_{bb'}$ を低減し、遮断周波数 $f_T$ を増加させた、ヘテロ接合バイポーラトランジスタ（以下、HBTと称す。）について記載されている。

## 【0003】

【発明が解決しようとする課題】従来のシリコン・ゲルマニウムHBTにおいては、上記公知例においても論じられている様に、シリコン・ゲルマニウムとシリコンの結晶格子定数の不一致のために、ベース層に応力が発生し、該ベース層形成後の600度程度の熱処理でゲルマニウムやボロン等の不純物が応力のために異常拡散して急峻なヘテロ接合が失われてしまう。これによりトラン

製造技術によっては斯るシリコン・ゲルマニウムHBTを含む半導体集積回路装置を製造することがむずかしいという問題点があった。

【0004】さらに、シリコン・ゲルマニウムHBTを用いて最も効果のある、超高速電子計算機用の半導体集積回路装置においては、液体窒素温度での高速動作が要求される。該超高速電子計算機が何らかの理由で停止した際、上記半導体集積回路装置は室温に戻されることになる。本発明者は、この時の室温と液体窒素温度との間の冷却・昇温過程において、上記ベース層の応力に起因して該ベース層に結晶欠陥が発生して素子の特性劣化に到ることを見出した。

【0005】本発明の目的は、シリコン・ゲルマニウムHBTの熱的な安定性を向上し、もって半導体集積回路装置の高集積化などの従来の半導体製造技術を容易に適用することができるようにすることにある。

【0006】本発明の他の目的は、シリコン・ゲルマニウムHBTの熱的な安定性を向上し、上記超高速電子計算機に用いた時の冷却・昇温過程における結晶欠陥・素子の特性劣化を防止して、シリコン・ゲルマニウムHBTを用いた超高速電子計算機の信頼度を向上することにある。

【0007】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

## 【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】すなわち、シリコン・ゲルマニウム・ヘテロ接合バイポーラトランジスタのベース層にゲルマニウムと同程度の濃度で炭素またはボロンを含有させて、ベース部分の結晶格子定数をエミッタ部分とほぼ同じにしてベース部分の応力を除去したものである。ここで、前記結晶格子定数をエミッタ部分と概略同等にするときの許容誤差は、ベース部分の層厚と関係して決定される。層厚が厚い程結晶格子欠陥が発生し易くなるので、それに応じてその許容誤差は小さくされるべきである。例えば1%ないし数%程度とされる。

## 【0010】

【作用】上記した手段によれば、ゲルマニウムはシリコンより結晶格子定数大きい、ボロンと炭素はシリコンより結晶格子定数が非常に小さいので、ボロンまたは炭素をシリコン・ゲルマニウム中に高濃度にドーピングすることによって、結晶格子定数をシリコンとほぼ等しくすることができる。結晶格子定数がシリコンとほぼ等しい

電子計算機に用いた時の冷却・昇温過程における結晶欠陥・素子の特性劣化を防止して、シリコン・ゲルマニウムHBTを用いた超高速電子計算機の信頼度を向上する。

#### 【0011】

【実施例】図1には本発明に係る半導体集積回路装置に含まれるシリコン・ゲルマニウムHBT（以下単にヘテロ接合バイポーラトランジスタとも記す）のエミッタ、コレクタ、及びベース部分の一実施例断面図が示される。シリコン基板側から順にコレクタC、ベースB、エミッタEが形成されている。コレクタCは、高濃度N型シリコン層（N<sup>+</sup>型Si）N<sup>+</sup>-Si、低濃度N型シリコン層（N<sup>-</sup>型Si）N<sup>-</sup>-Siが積層されて形成される。ベースBはP型シリコン・ゲルマニウム・炭素合金層（P型Si<sub>(1-x-y)</sub>Ge<sub>y</sub>C<sub>x</sub>）SiGeCによって形成され、エミッタEは低濃度N型シリコン層（N型Si）N-Siと、高濃度N型シリコン層（N<sup>+</sup>型Si）N<sup>+</sup>-Siが積層されて形成されている。各層は、無欠陥単結晶膜である。尚、同図には各層には不純物ドーザ量を付記してある。

【0012】図2には図1のコレクタ・ベース・エミッタ構造を有するヘテロ接合バイポーラトランジスタ（SiGeC-HBT）の全体的な一実施断面図が示される。同図において図1の構造はP型シリコン基板P-Siの上に形成されている。コレクタCは高濃度N型シリコン（N<sup>+</sup>-Si）NBLからN型シリコン拡散層CNを介して、基板表面に引き出され、図示しない金属配線に接続される。ベースBは図1の構造の周辺に設けられたP型多結晶シリコンP-polySiを介して図示しない金属配線に接続される。エミッタEは、図1の構造の上部に設けたN型多結晶シリコンN-polySiを介して図示しない金属配線に接続される。

【0013】図3には図1の構造の周辺を含めた詳細断面図が（A）、（B）の夫々に示される。図3の（A）は、MBEや反応律速CVD等によりSi-SiGeC-Siのヘテロ接合を形成した後に、夫々熱的並びに酸化性雰囲気での処理を伴うコレクタ引き出し用のP型多結晶シリコンP-polySi、エミッタ・ベース分離用の酸化膜SiO<sub>2</sub>、及びエミッタ引き出し用のN型多結晶シリコンN-polySiなどを形成した例である。この構造を得るための概略的なプロセスは図4の（A）、（B）、（C）に順を追って示されている。図3の（B）は、コレクタ引き出し用のP型多結晶シリコンP-polySiとエミッタ・ベース分離用酸化膜SiO<sub>2</sub>を形成した後でシリコン表面上のみ選択的にSiGeC-Siを選択的エピタキシャル形成させ、その後で酸化膜のサイドウォールやエミッタ引き出し用のN型

いる。

【0014】図3（A）、（B）に示される構造はそのプロセスの相違により次のような違いがある。Si-SiGeC-Siのヘテロ接合に対する酸化雰囲気での処理に伴う熱の影響は、図3（A）の場合、Si-SiGeC-Siのヘテロ接合を先に形成する性質上、少なくともベース引き出し用のP型多結晶シリコンP-polySi、エミッタ・ベース分離用の酸化膜SiO<sub>2</sub>、及びエミッタ引き出し用のN型多結晶シリコンN-polySiを形成するときに及ぼされる。これに対して図3（B）の場合には、ベース引き出し用P型多結晶シリコンP-polySi及びエミッタ・ベース分離用酸化膜SiO<sub>2</sub>を形成した後ヘテロ接合を形成するから、そのヘテロ接合は、P型多結晶シリコンP-polySi及び酸化膜SiO<sub>2</sub>を形成するときの熱の影響を受けない。したがって、図3の（B）のほうが（A）に比べてヘテロ接合部分の急峻性が低下する虞は更に少なく、より特性の優れたトランジスタを高い歩留まりを以て得ることができる。

【0015】上記ヘテロ接合バイポーラトランジスタ（SiGeC-HBT）のベース部には、ゲルマニウムと炭素が高濃度にドーザされている。ゲルマニウムはエネルギーバンドギャップがシリコンに比べて小さいので合金層のエネルギーバンドギャップを縮小する方向に働く。一方、炭素のエネルギーバンドギャップはシリコンに比べて大きいので合金層のエネルギーバンドギャップを拡大する方向に働く。従って、合金層のエネルギーバンドギャップはゲルマニウムと炭素の効果の差によって決まり、例えば、シリコンの含有率を75%、ゲルマニウムの含有率を20%、炭素の含有率を5%にしておけば、合金層のエネルギーバンドギャップはシリコンより20mV程度小さいものになる。この様にして、ベース部分のエネルギーバンドギャップはエミッタ部より小さくなるので、エミッタ中の電子は容易に加速されてベース内に注入され、ベース部の正孔はエミッタ・ベース間のエネルギーバンドギャップの差がエネルギー障壁となって、エミッタへの注入が抑止される。これは、ヘテロ接合バイポーラトランジスタ（HBT）としてよく知られている現象である。

【0016】以上により明らかなように、図1の構造にすると、ヘテロ接合バイポーラトランジスタHBTの利点である、バイポーラトランジスタの電流増幅率hFEを維持しつつ、ベース抵抗r<sub>bb'</sub>を低減し、遮断周波数f<sub>T</sub>を増加させることができるという効果がある。また、ベース部分のエネルギーバンドギャップはエミッタ部より小さいので、図1の構造のバイポーラトランジスタは液体窒素温度等の極低温で高速動作できるという効果があ

る方向に働く。炭素は結晶格子定数がシリコンに比べて小さいので合金層の結晶格子定数を縮小する方向に働く。この結果、合金層の結晶格子定数はシリコンにかなり近いものとなる。このため、シリコン上の合金層は下層部のシリコンに完全に結晶格子が整合した形で成長され、しかも膜内に残留する応力は極めて小さい。このため、膜形成後に酸化雰囲気等での900度程度の熱処理を行っても結晶欠陥が発生したり、不純物の応力起因の異常拡散したりすることは無い。従って、従来の半導体製造技術を用いても問題無く、特性の優れたトランジスタを得ることができ、しかも、室温と液体窒素温度との間の冷却・昇温過程を繰り返して使用しても特性劣化を生じない。

【0018】図8には上記シリコン・ゲルマニウム・炭素HBTを用いた超高速電子計算機の一実施例を示すシステム構成図が示される。上記シリコン・ゲルマニウム・炭素HBTを用いた半導体集積回路装置は中央処理装置の内部で論理LSIとして用いられ、数値演算等の他、周辺機器の制御や、メモリへのデータ転送を行っている。この論理LSIの裏面には熱伝導器が付着されており、この中に液体窒素を通すパイプが埋設されている。この論理LSIは非常に高速である必要があるため、液体窒素温度に冷却されてHBTの高速性能を利用している。ここで仮に、停電や保守点検のため上記超高速電子計算機全体の電源が長時間に渡って切断されたことを考えてみよう。論理LSIの動作も停止するが、同時に液体窒素製造装置や液体窒素循環装置も運転を停止する。暫くすると、液体窒素は全て蒸発し、論理LSI及び内蔵されたシリコン・ゲルマニウム・炭素HBTは室温に戻ることになる。この冷却・昇温過程において素子が結晶欠陥や特性劣化をおこしてはならない。しかしながら、本発明の一実施例によるシリコン・ゲルマニウム・炭素HBTはベース部が熱的に安定であるため、室温と液体窒素温度との間の冷却・昇温過程を繰り返しても、信頼度上の問題を生じることが無い。

【0019】以上の様に、本発明の一実施例によれば、シリコン・ゲルマニウムHBTの熱的な安定性が向上し、高集積化などのための従来の半導体製造技術を適用することができるという効果がある。また、シリコン・ゲルマニウムHBTの熱的な安定性が向上するから、上記超高速電子計算機に用いた時の冷却・昇温過程における結晶欠陥・素子の特性劣化が防止され、シリコン・ゲルマニウムHBTを用いた超高速電子計算機の信頼性を著しく向上させることができるという効果がある。

【0020】図6には本発明に係る半導体集積回路装置に含まれるシリコン・ゲルマニウムHBT（以下単にヘ

と同時にP型不純物として働き、高濃度の正孔はエネルギーバンドギャップを縮小する効果がある。従って、この場合はシリコンとの格子整合に加えて、HBTの効果をも強める働きをする。

【0021】図7には本発明に係る半導体集積回路装置に含まれるシリコン・ゲルマニウムHBT（以下単にヘテロ接合バイポーラトランジスタとも記す）のエミッタ、コレクタ、及びベース部分の更に別の実施例を示す要部断面が示される。ベース部はシリコン・ゲルマニウムとシリコン・カーバイトの超格子となっている。シリコン・ゲルマニウムの膜圧とシリコン・カーバイトの膜圧を調整することにより格子整合とエネルギーバンドギャップ縮小の両立を達成することができる。

【0022】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0023】例えば、図1に示された各領域への不純物のドーズ量は一例であり適宜変更することができる。

【0024】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である液体窒素冷却型の超高速電子計算機用半導体集積回路装置に適用した場合について説明したが、本発明はそれに限定されるものではなく、バイポーラトランジスタ回路、さらにはバイポーラトランジスタと共にCMOS回路をオンチップした各種半導体集積回路装置に広く適用することができる。

【0025】本発明は、少なくともヘテロ接合バイポーラトランジスタを服務条件のものに広く適用することができる。

【0026】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0027】すなわち、シリコン・ゲルマニウム・ヘテロ接合バイポーラトランジスタの熱的な安定性を向上させることができ、熱酸化などを伴う半導体集積回路製造技術によって蓄積された高集積化などのための技術を容易に適用して、特性の優れたヘテロ接合型バイポーラトランジスタを高い歩留まりを以て得ることができるようになる。

【0028】また、シリコン・ゲルマニウム・ヘテロ接合バイポーラトランジスタの熱的な安定性が向上するから、そのようなシリコン・ゲルマニウムHBTを含む半導体集積回路装置を超高速電子計算機に用いても、冷却・昇温過程における結晶欠陥・素子の特性劣化を防止す

7

【図1】図1は本発明に係る半導体集積回路装置に含まれるシリコン・ゲルマニウムHBTのエミッタ、コレクタ、及びベース部分の一実施例を示す要部断面図である。

【図2】図2は図1の構造を利用したバイポーラトランジスタの全体を示す一実施例断面図である。

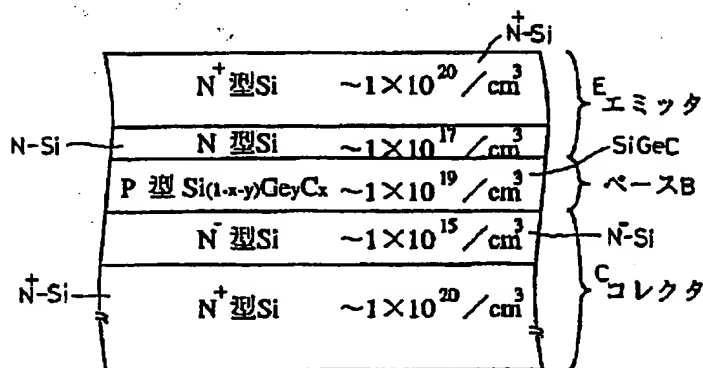
【図3】図3は図1の構造の周辺を含めた詳細断面であり、(A)はSi-SiGeC-Siのヘテロ接合先に形成してからコレクタ引き出し用のP型多結晶シリコンなどを形成した構造を示し、(B)はコレクタ引き出し用のP型多結晶シリコンP-polySiなどを形成した後でSiGeC-Siを選択的エピタキシャル形成させた構造を示す。

【図4】図4は図3に示される(A)の構造を得るためのプロセスの概略を示す説明図である。

【図5】図5は図3に示される(B)の構造を得るためのプロセスの概略を示す説明図である。

【図6】図6は本発明に係る半導体集積回路装置に含まれるシリコン・ゲルマニウムHBTのエミッタ、コレクタ、及びベース部分の他の実施例を示す要部断面図である。

【図1】



8

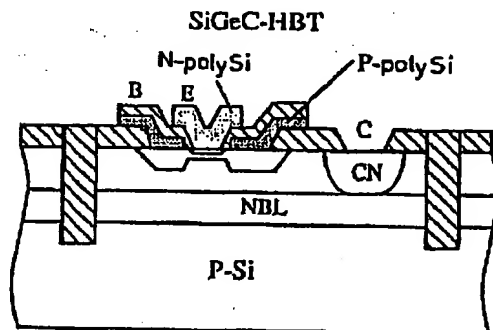
【図7】図7は本発明に係る半導体集積回路装置に含まれるシリコン・ゲルマニウムHBTのエミッタ、コレクタ、及びベース部分の更に別の実施例を示す要部断面図である。

【図8】図8はシリコン・ゲルマニウムHBTを含む半導体集積回路装置を適用した超高速電子計算機の一実施例システム構成図である。

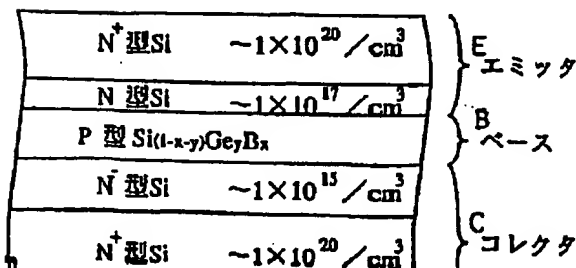
## 【符号の説明】

- E エミッタ
- B ベース
- C コレクタ
- NBL 埋込高濃度N型シリコン
- CN コレクタ引出用拡散層
- P-PolySi P型多結晶シリコン
- P-Si P型単結晶シリコン
- N-polySi N型多結晶シリコン
- SiO<sub>2</sub> 酸化シリコン
- SiGeC シリコン・ゲルマニウム・炭素
- SiGe シリコン・ゲルマニウム
- SiC シリコンカーバイト

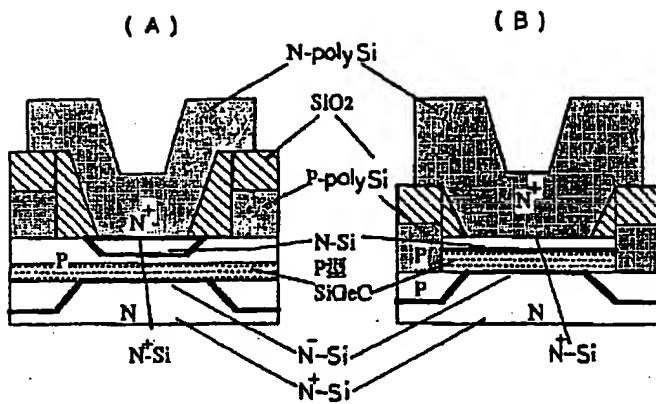
【図2】



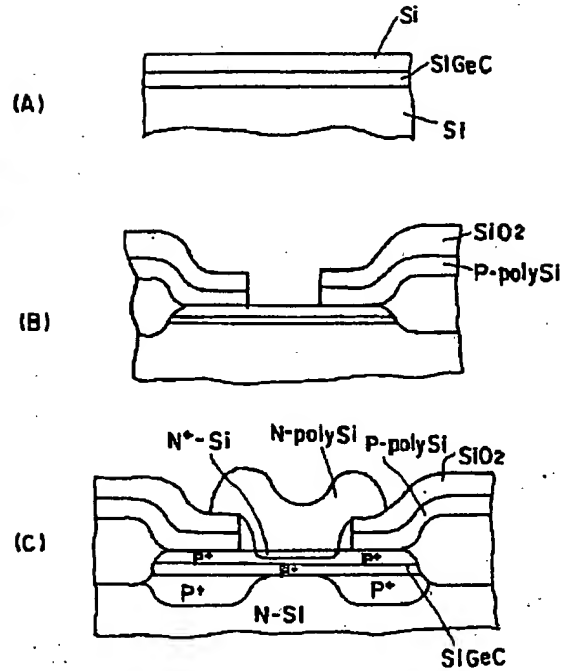
【図6】



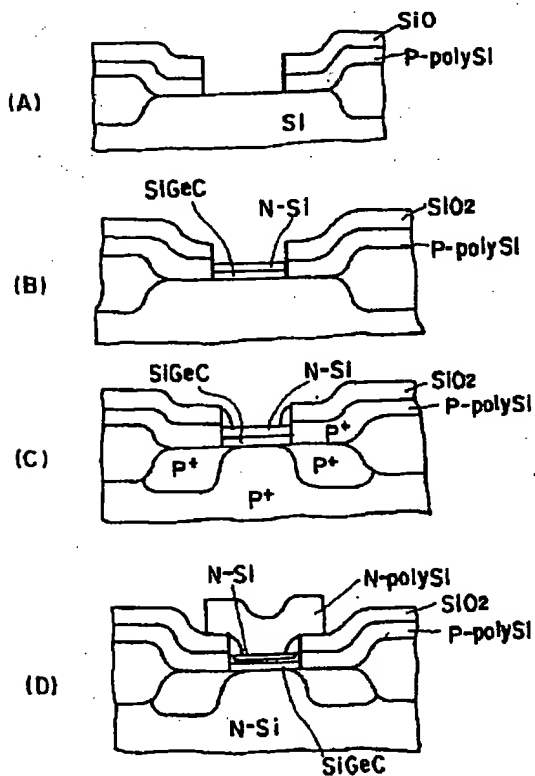
【図3】



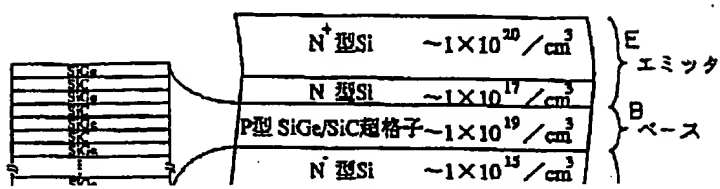
【図4】



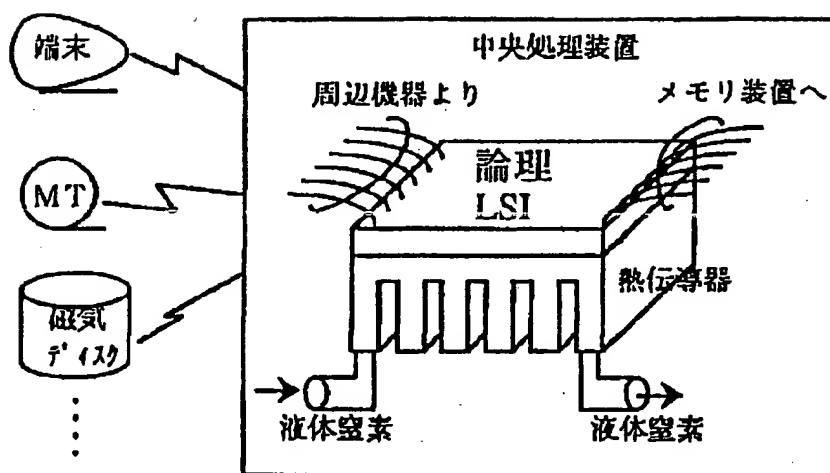
【図5】



【図7】



【図8】



37/62 - (C) Derwent Info. 1996

**DOKUMENTENUMMER:**

93-170532 [21]

**TITEL:**

Silicon-germanium heterojunction bipolar transistor in semiconductor IC - has base layer contg. **carbon** or boron with concn. equiv. to that of germanium, for removing stress in base portion NoAbstract

**ZUSÄTZLICHE DESKRIPTOREN:**

INTEGRATED CIRCUIT

**ANMELDER:**

(HITA ) HITACHI LTD

**PATENTFAMILIE:**

Patent-Nr.	Veröff.
J05102177 A	930423 DW9321 H01L-021/331 007pp

**PRIORITÄTSANGABEN:**

Aktenz.	Datum
91JP-282185	911002

**INTERNATIONALE PATENTKLASSIFIKATION(EN):**

H01L-021/331; H01L-029/165; H01L-029/73

**REFERAT:**

NoAbstract



gehört zu 37/62 (DERWENT-Nachweis 93-170532)

6/13 - (C) JPO & Japio

PN - J05102177 A

AB - PURPOSE: To enhance the thermal stability of a silicon-germanium heterojunction bipolar transistor.

- CONSTITUTION: A base layer B for a silicon-germanium bipolar transistor contains carbon or boron whose concentration is about the same as that of germanium; the crystal lattice constant of the base part B is set to be nearly the same as that of an emitter part E; the stress of the base part is removed. A semiconductor integrated circuit device using the silicon-germanium heterojunction bipolar transistor is applied to an ultrahigh-speed electronic computer which is operated by cooling the circuit device down to the temperature of liquid nitrogen; the high-speed operation and the reliability of the computer are enhanced.

SO - 930819 E-1417 VOL.17 NO.453 PP.15

*17100*

*17100*

*208*

*208*

*17100*

*17100*

*208*

*208*

*17100*

*17100*

*17100*

*17100*

14P, 001.36

L18 ANSWER 17 OF 104 WPINDEX COPYRIGHT 1998 DERWENT INFORMATION LTD

AN 93-170532 [21] WPINDEX

DNN N93-130797 DNC C93-076004

TI \*\*\*Silicon\*\*\* - \*\*\*germanium\*\*\* heterojunction bipolar  
transistor in semiconductor IC - has base layer contg. carbon or  
boron with concn. equiv. to that of germanium, for removing stress  
in base portion NoAbstract.

DC L03 U12

PA (HITA) \*\*\*HITACHI LTD\*\*\*

CYC 1

PI JP 05102177 A 930423 (9321)\* 7 pp H01L021-331

ADT JP 05102177 A JP 91-282185 911002

PRAI JP 91-282185 911002

IC ICM H01L021-331

ICS H01L029-165; H01L029-73

AB JP05102177 A UPAB: 931114

Dwg.1/8

FS CPI EPI

FA AB; GI

MC CPI: L04-A; L04-E01A1

EPI: U12-D01A2; U12-E01A3; U12-E01B1

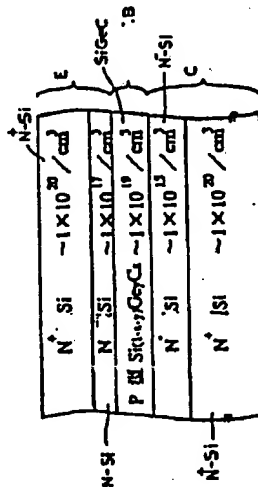
(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ELECTRONIC COMPUTER USING SAME

(11) 5-102177 (A) (43) 23.4.1993 (19) JP  
(21) Appl. No. 3-282185 (22) 2.10.1991  
(71) HITACHI LTD (72) KAZUTAKA MORI  
(51) Int. Cl.<sup>5</sup> H01L21/337, H01L29/73, H01L29/465

H01L 29/737

**PURPOSE:** To enhance the thermal stability of a silicon-germanium heterojunction bipolar transistor.

**CONSTITUTION:** A base layer B for a silicon-germanium bipolar transistor contains carbon or boron whose concentration is about the same as that of germanium; the crystal lattice constant of the base part B is set to be nearly the same as that of an emitter part E; the stress of the base part is removed. A semiconductor integrated circuit device using the silicon-germanium heterojunction bipolar transistor is applied to an ultrahigh-speed electronic computer which is operated by cooling the circuit device down to the temperature of liquid nitrogen; the high-speed operation and the reliability of the computer are enhanced.



Entgegenhaltung zu HP.001.96  
(X:1.2)

LEGENDE zu den Bibliographiedaten

- (54) Titel der Patentanmeldung
- (11) Nummer der JP-A2 Veröffentlichung
- (21) Aktenzeichen der JP-Anmeldung
- (43) Veröffentlichungstag
- (22) Anmeldetag in Japan
- (71) Anmelder
- (72) Erfinder
- (52) Japanische Patentklassifikation
- (51) Internationale Patentklassifikation

Mandant ✓

**THIS PAGE BLANK (USPTO)**